

# 特許協力条約

PCT

特許性に関する国際予備報告 (特許協力条約第二章)

(法第 12 条、法施行規則第 56 条)  
[PCT 36 条及び PCT 規則 70]

REC'D 01 DEC 2005

WIPO

PCT

出願人又は代理人 の書類記号 P34901-P0	今後の手続きについては、様式 PCT/ IPEA/ 416 を参照すること。	
国際出願番号 PCT/JP2004/016644	国際出願日 (日.月.年) 10.11.2004	優先日 (日.月.年) 26.12.2003
国際特許分類 (IPC) Int.Cl. <b>G05F1/10</b>		
出願人 (氏名又は名称) 松下電器産業株式会社		

- この報告書は、PCT 35 条に基づきこの国際予備審査機関で作成された国際予備審査報告である。  
法施行規則第 57 条 (PCT 36 条) の規定に従い送付する。
- この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。
- この報告には次の附属物件も添付されている。
  - ☒ 附属書類は全部で 28 ページである。
    - ☒ 補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び/又は図面の用紙 (PCT 規則 70.16 及び実施細則第 607 号参照)
    - ☐ 第 I 欄 4. 及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙
  - ☐ 電子媒体は全部で \_\_\_\_\_ (電子媒体の種類、数を示す)。  
配列表に関する補充欄に示すように、電子形式による配列表又は配列表に関連するテーブルを含む。  
(実施細則第 802 号参照)
- この国際予備審査報告は、次の内容を含む。
  - ☒ 第 I 欄 国際予備審査報告の基礎
  - ☐ 第 II 欄 優先権
  - ☐ 第 III 欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不成
  - ☐ 第 IV 欄 発明の単一性の欠如
  - ☒ 第 V 欄 PCT 35 条 (2) に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
  - ☐ 第 VI 欄 ある種の引用文献
  - ☐ 第 VII 欄 国際出願の不備
  - ☐ 第 VIII 欄 国際出願に対する意見

国際予備審査の請求書を受理した日 29.08.2005	国際予備審査報告を作成した日 17.11.2005	
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官 (権限のある職員) 川端 修	3V 8718
電話番号 03-3581-1101 内線 3358		

様式 PCT/ IPEA/ 409 (表紙) (2005 年 4 月)

## 第 I 欄 報告の基礎

1. 言語に関し、この予備審査報告は以下のものを基礎とした。

- ☒ 出願時の言語による国際出願  
☐ 出願時の言語から次の目的のための言語である \_\_\_\_\_ 語に翻訳された、この国際出願の翻訳文  
☐ 国際調査 (PCT規則12.3(a)及び23.1(b))  
☐ 国際公開 (PCT規則12.4(a))  
☐ 国際予備審査 (PCT規則55.2(a)又は55.3(a))

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

☐ 出願時の国際出願書類

☒ 明細書

第 1, 2, \_\_\_\_\_ ページ、出願時に提出されたもの  
 第 3, 4, 4/1, 5, 5/1, 6, 7, 7/1, 8-10, 10/1 \_\_\_\_\_ ページ\*, 29.08.2005 付けで国際予備審査機関が受理したもの  
 第 11, 11/1, 12, 13, 13/1, 14, 15, 15/1 \_\_\_\_\_ ページ\*, 29.08.2005 付けで国際予備審査機関が受理したもの

☒ 請求の範囲

第 4, 6, 10, 12 \_\_\_\_\_ 項、出願時に提出されたもの  
 第 \_\_\_\_\_ 項\*, PCT19条の規定に基づき補正されたもの  
 第 1, 2, 3, 5, 7, 8, 9, 11 \_\_\_\_\_ 項\*, 29.08.2005 付けで国際予備審査機関が受理したもの  
 第 \_\_\_\_\_ 項\*, \_\_\_\_\_ 付けで国際予備審査機関が受理したもの

☒ 図面

第 1-12 \_\_\_\_\_ 図、出願時に提出されたもの  
 第 \_\_\_\_\_ ページ/図\*, \_\_\_\_\_ 付けで国際予備審査機関が受理したもの  
 第 \_\_\_\_\_ ページ/図\*, \_\_\_\_\_ 付けで国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☐ 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 第 \_\_\_\_\_ ページ/図  
☐ 配列表 (具体的に記載すること) \_\_\_\_\_  
☐ 配列表に関連するテーブル (具体的に記載すること) \_\_\_\_\_

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

- ☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 第 \_\_\_\_\_ ページ/図  
☐ 配列表 (具体的に記載すること) \_\_\_\_\_  
☐ 配列表に関連するテーブル (具体的に記載すること) \_\_\_\_\_

\* 4. に該当する場合、その用紙に "superseded" と記入されることがある。

## 第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性(N)	請求の範囲	1-12	有
	請求の範囲		無
進歩性(IS)	請求の範囲	1-12	有
	請求の範囲		無
産業上の利用可能性(IA)	請求の範囲	1-12	有
	請求の範囲		無

## 2. 文献及び説明(PCT規則70.7)

以下の文献は、国際調査機関の見解書において引用されたものである。

文献1: J P 10-105258 A  
文献2: J P 2003-185692 A  
文献3: J P 2002-251301 A  
文献4: J P 8-79901 A

本願発明と最も関連のある文献1の図1には、同一の電源電圧VSSに対して、抵抗R12とコンデンサCとを接続し、抵抗R12の他端をコンパレータ4の一方の入力ノードに接続し、コンデンサCの他端をコンパレータ4の他方の入力ノードに接続した基準電圧発生回路が開示されている。

しかしながら、本願請求項1の発明は、コンパレータに入力された基準電圧と、電源電圧に接続された容量素子の他端の出力との間に電圧差が生じた時に、比較結果を示す出力信号を活性化する半導体装置である。

すなわち、本願請求項1の発明のコンパレータと文献1のコンパレータとは、その作用効果が異なり、しかも、電源電圧とコンデンサとの接続形態も異なっている。

また、文献2-4には、本願請求項1の発明の構成については、開示も示唆もない。

したがって、本願請求項1の発明は、新規性、進歩性を有する。

また、請求項7の発明は、本願請求項1の発明の構成を備え、さらに第2のコンパレータについても限定したものであり、新規性、進歩性を有する。

また、請求項2-6の発明は、請求項1を引用して、さらに限定したものであり、請求項8-12の発明は、請求項7を引用してさらに限定したものであり、請求項1、7の発明と同様に、新規性、進歩性を有する。

本願請求項1-12の発明に、産業上の利用可能性があることは明らかである。

補充欄

いずれかの欄の大きさが足りない場合

第 I 欄の続き

(続き) 2. この報告は下記の出願書類を基礎とした。

明細書

16, 17, 17/1, 18 ページ 29. 08. 2005 付けで国際予備審査機関が受理したもの

[0008] よって、本発明では、電源電圧の変動を検知する回路を備える半導体装置において、電圧変動前の電源電圧値に依存することなく電源電圧の急激な変動を検知できる半導体装置を提供することを目的とする。

#### 課題を解決するための手段

[0009] 上記課題を解決するために、本発明(請求項1)に係る半導体装置は、一端が電源電圧に接続される容量素子と、それぞれの極性が異なる2つの入力ノードを有し、基準電圧と前記容量素子の他端の出力とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第1のコンパレータと、前記第1のコンパレータの、一方の入力ノードと他方の入力ノードとを接続する第1の抵抗素子とを備え、前記第1のコンパレータは、入力した前記基準電圧と前記容量素子の他端の出力との間に電圧差が生じたときに、前記比較結果を示す出力信号を活性化することを特徴とする。

[0010] また、本発明(請求項2)に係る半導体装置は、請求項1に記載の半導体装置において、前記第1のコンパレータは、入力した前記基準電圧と前記容量素子の他端の出力との電圧差が予め設定されたヒステリシス幅より大きくなったときに、前記比較結果を示す出力信号を活性化するヒステリシスコンパレータであることを特徴とする。

[0011] また、本発明(請求項3)に係る半導体装置は、請求項1に記載の半導体装置において、前記電源電圧と接地との間に直列に配置され前記電源電圧を分圧する第2及び第3の抵抗素子と、2つの入力ノードを有し、前記第2及び第3の抵抗素子が分圧した電圧と、基準電圧とを入力して比較する第2のコンパレータと、前記第1のコンパレータの出力信号と前記第2のコンパレータの出力信号とを論理和演算する論理和回路とをさらに備えたことを特徴とする。

[0012] また、本発明(請求項4)に係る半導体装置は、請求項1から請求項3のいずれかに記載の半導体装置において、前記第1のコンパレータまたは前記論理和回路の出力信号を入力し、前記第1のコンパレータまたは前記第2のコンパレータの出力信号が活性化されたときに前記半導体装置を含むシステムの動作を止めるリセット部をさらに備えたことを特徴とする。

[0013] また、本発明(請求項5)に係る半導体装置は、請求項1から請求項3のいずれかに

記載の半導体装置において、前記第1のコンパレータのいずれか一方の入力ノードに入力される前記容量素子の他端の出力の値を任意の値に切替える切替部をさらに備えたことを特徴とする。

[0014] また、本発明(請求項6)に係る半導体装置は、請求項5に記載の半導体装置において、前記半導体装置の電源投入時に、前記切替部を動作させる制御部をさらに備えたことを特徴とする。

[0015] また、本発明(請求項7)に係る半導体装置は、一端が電源電圧に接続される第1及び第2の容量素子と、それぞれの極性が異なる2つの入力ノードを有し、基準電圧と前記第1の容量素子の他端の出力とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第1のコンパレータと、それぞれの極性が異なる2つの入力ノードを有し、基準電圧と前記第2の容量素子の他端の出力とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第2のコンパレータと、前記第1及び第2のコンパレータの、一方の入力ノードと他方の入力ノードとをそれぞれ接続する第1及び第2の抵抗素子と、前記第1のコンパレータの出力信号と前記第2のコンパレータの出力信号とを論理和演算する論理和回路とを備え、前記第1及び第2のコンパレータはそれぞれ、入力した前記基準電圧と前記容量素子の他端の出力との間に電圧差が生じたときに、前記比較結果を示す出力信号を活性化し、前記第1のコンパレータにおける前記第1の容量素子の他端の出力を入力する入力ノードの極性は、前記第2のコンパレータにおける前記第2の容量素子の他端の出力を入力する入力ノードの極性と逆であることを特徴とする。

[0016] また、本発明(請求項8)に係る半導体装置は、請求項7に記載の半導体装置において、前記第1及び第2のコンパレータはそれぞれ、入力した前記基準電圧と前記容量素子の他端の出力との電圧差が予め設定されたヒステリシス幅より大きくなったときに、前記比較結果を示す出力信号を活性化するヒステリシスコンパレータであることを特徴とする。

[0017] また、本発明(請求項9)に係る半導体装置は、請求項7に記載の半導体装置において、前記電源電圧と接地との間に直列に配置され前記電源電圧を分圧する第3及び第4の抵抗素子と、2つの入力ノードを有し、前記第3及び第4の抵抗素子が分圧

した電圧と、基準電圧とを入力して比較し比較結果を示す信号を前記論理和回路に出力する第3のコンパレータとをさらに備えたことを特徴とする。

[0018] また、本発明(請求項10)に係る半導体装置は、請求項7から請求項9のいずれかに記載の半導体装置において、前記論理和回路の出力信号を入力し、前記第1のコンパレータ、前記第2のコンパレータまたは前記第3のコンパレータの出力信号が活性化されたときに前記半導体装置を含むシステムの動作を止めるをリセット部をさらに備えたことを特徴とする。

[0019] また、本発明(請求項11)に係る半導体装置は、請求項7から請求項9のいずれかに記載の半導体装置において、前記第1のコンパレータのいずれか一方の入力ノードに入力される前記第1の容量素子の他端の出力の値と、前記第2のコンパレータのいずれか一方の入力ノードに入力される前記第2の容量素子の他端の出力の値とを、任意の値に切替える切換え部を備えたことを特徴とする。

[0020] また、本発明(請求項12)に係る半導体装置は、請求項11に記載の半導体装置において、前記半導体装置の電源投入時に、前記切換え部を動作させる制御部を備えたことを特徴とする。

#### 発明の効果

[0021] 上記課題を解決するために、本発明(請求項1)に係る半導体装置は、一端が電源電圧に接続される容量素子と、それぞれの極性が異なる2つの入力ノードを有し、基準電圧と前記容量素子の他端の出力とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第1のコンパレータと、前記第1のコンパレータの、一方の入力ノードと他方の入力ノードとを接続する第1の抵抗素子とを備え、前記第1のコンパレータは、入力した前記基準電圧と前記容量素子の他端の出力との間に電圧差が生じたときに、前記比較結果を示す出力信号を活性化することから、電圧変動前の電源電圧値に依存することなく、電圧変動を検知することができる。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくなり、回路の設計が容易になる。

[0022] また、本発明(請求項2)に係る半導体装置は、請求項1に記載の半導体装置において、前記第1のコンパレータは、入力した前記基準電圧と前記容量素子の他端の出力との電圧差が予め設定されたヒステリシス幅より大きくなったときに、前記比較結果を示す出力信号を活性化するヒステリシスコンパレータであることから、半導体装置



の動作に影響のない電源電圧の変動を異常電圧変動と誤検知することがない。

- [0023] また、本発明（請求項3）に係る半導体装置は、請求項1に記載の半導体装置において、前記電源電圧と接地との間に直列に配置され前記電源電圧を分圧する第2及び第3の抵抗素子と、2つの入力ノードを有し、前記第2及び第3の抵抗素子が分圧した電圧と、基準電圧とを入力して比較する第2のコンパレータと、前記第1のコンパレータの出力信号と前記第2のコンパレータの出力信号とを論理和演算する論理和回路とをさらに備えたことから、急激な電圧変動だけでなく、緩やかに変化する電圧変動も検知することができる。
- [0024] また、本発明（請求項4）に係る半導体装置は、請求項1から請求項3のいずれかに記載の半導体装置において、前記第1のコンパレータまたは前記論理和回路の出力信号を入力し、前記第1のコンパレータまたは前記第2のコンパレータの出力信号が活性化されたときに前記半導体装置を含むシステムの動作を止めるリセット部をさらに備えたことから、外部からデータの改ざんや不正読み出し等の攻撃が、電源電圧を急激に変動させることにより行われたとしても、これを検知して自動的にリセットをかけて、この種の攻撃等に対抗することが可能となる。
- [0025] また、本発明（請求項5）に係る半導体装置は、請求項1から請求項3のいずれかに記載の半導体装置において、前記第1のコンパレータのいずれか一方の入力ノードに入力される前記容量素子の他端の出力の値を任意の値に切替える切替部をさらに備えたことから、コンパレータが正常に動作しているかを確認することができる。
- [0026] また、本発明（請求項7）に係る半導体装置は、一端が電源電圧に接続される第1及び第2の容量素子と、それぞれの極性が異なる2つの入力ノードを有し、基準電圧と前記第1の容量素子の他端の出力とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第1のコンパレータと、それぞれの極性が異なる2つの入力ノードを有し、基準電圧と前記第2の容量素子の他端の出力とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第2のコンパレータと、前記第1及び第2のコンパレータの、一方の入力ノードと他方の入力ノードとをそれぞれ接続する第1及び第2の抵抗素子と、前記第1のコンパレータの出力信号と前記第2のコンパレータの出力信号とを論理和演算する論理和回路とを備え、前記第1及び第2のコンパレータはそれぞれ、入力した前記基準電圧と前記容量素子の他端の出力と

の間に電圧差が生じたときに、前記比較結果を示す出力信号を活性化し、前記第1のコンパレータにおける前記第1の容量素子の他端の出力を入力する入力ノードの極性は、前記第2のコンパレータにおける前記第2の容量素子の他端の出力を入力する入力ノードの極性と逆であることから、電圧変動前の電源電圧値に依存することなく、正側及び負側の電圧変動を検知することができる。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくなり、回路の設計が容易になる。

[0027] また、本発明(請求項8)に係る半導体装置は、請求項7に記載の半導体装置において、前記第1及び第2のコンパレータはそれぞれ、入力した前記基準電圧と前記容量素子の他端の出力との電圧差が予め設定されたヒステリシス幅より大きくなったときに、前記比較結果を示す出力信号を活性化するヒステリシスコンパレータであることから、半導体装置の動作に影響のない電源電圧の変動を異常電圧変動と誤検知することがない。

[0028] また、本発明(請求項9)に係る半導体装置は、請求項7に記載の半導体装置において、前記電源電圧と接地との間に直列に配置され前記電源電圧を分圧する第3及び第4の抵抗素子と、2つの入力ノードを有し、前記第3及び第4の抵抗素子が分圧した電圧と、基準電圧とを入力して比較し比較結果を示す信号を前記論理和回路に出力する第3のコンパレータとをさらに備えたことから、急激な電圧変動だけでなく、緩やかに変化する電圧変動も検知することができる。

[0029] また、本発明(請求項10)に係る半導体装置は、請求項7から請求項9のいずれかに記載の半導体装置において、前記論理和回路の出力信号を入力し、前記第1のコンパレータ、前記第2のコンパレータまたは前記第3のコンパレータの出力信号が活性化されたときに前記半導体装置を含むシステムの動作を止めるをリセット部をさらに備えたことから、外部からデータの改ざんや不正読み出し等の攻撃が、電源電圧を急激に変動させることにより行われたとしても、これを検知して自動的にリセットをかけて、この種の攻撃等に対抗することが可能となる。

[0030] また、本発明(請求項11)に係る半導体装置は、請求項7から請求項9のいずれかに記載の半導体装置において、前記第1のコンパレータのいずれか一方の入力ノードに入力される前記第1の容量素子の他端の出力の値と、前記第2のコンパレータの

いずれか一方の入力ノードに入力される前記第2の容量素子の他端の出力の値とを、任意の値に切換える切換え部を備えたことから、コンパレータが正常に動作しているかを確認することができる。

図面の簡単な説明

- [0031] [図1]図1は、本発明の実施の形態1に係る半導体装置の回路構成図である。
- [図2]図2は、本発明の実施の形態1に係る半導体装置の動作を説明するためのタイミングチャート図である。
- [図3]図3は、本発明の実施の形態2に係る半導体装置の回路構成図である。
- [図4]図4は、本発明の実施の形態2に係る半導体装置の動作を説明するためのタイミングチャート図である。
- [図5]図5は、本発明の実施の形態3に係る半導体装置の回路構成図である。
- [図6]図6は、本発明の実施の形態3に係る半導体装置の動作を説明するためのタイミングチャート図である。
- [図7]図7は、本発明の実施の形態4に係る半導体装置の回路構成図である。
- [図8]図8は、本発明の実施の形態4に係る半導体装置の動作を示すタイミングチャート図である。
- [図9]図9は、本発明の実施の形態5に係る半導体装置の回路構成図である。
- [図10]図10は、本発明の実施の形態5に係る半導体装置の動作を説明するためのタイミングチャート図である。
- [図11]図11は、電源電圧変動検知回路を有する従来の半導体装置の回路構成図である。
- [図12]図12は、電源電圧変動検知回路を有する従来の半導体装置の回路構成図である。

#### 符号の説明

- [0032] 1, 11 コンパレータ
- 2, 8, 12, 13 抵抗素子
- 3, 9 容量素子
- 4 電源電圧
- 5 基準電圧の入力端子
- 6, 7 ヒステリシスコンパレータ
- 10, 14 論理和回路
- 15 切換え部

16 インバータ  
17 Pチャネルトランジスタ  
18 Nチャネルトランジスタ  
19 制御部  
IN1 任意の電圧の入力端子  
N1, N2, N7, N8 コンパレータの入力端子  
N3～N6 ヒステリシスコンパレータの入力端子  
Y1～Y5 検知信号  
101, 115, 116 電源端子  
102 接地端子  
103, 104, 105, 106, 203 抵抗素子  
107, 108 コンパレータ  
109, 111 分圧電圧  
110, 112 基準電圧  
113, 114 ノード  
117, 118, 204 容量素子  
119 論理積回路  
201, 202 インバータ  
205 入力線  
206 出力線  
207 電源電圧変動検出出力線

発明を実施するための最良の形態

[0033] 以下、本発明の実施の形態を、図面を参照しながら説明する。

[0034] (実施の形態1)

本発明の実施の形態1に係る半導体装置について図1及び図2を用いて説明する。図1は、本発明の実施の形態1に係る半導体装置の回路構成図である。図1に示す半導体装置は、コンパレータ1と、抵抗素子2と、容量素子3とを備える。コンパレータ1は2つの入力端子(入力端子N1及びN2)を有する。容量素子3は、一端が電源

電圧4に接続され、他端が信号線L1を介してコンパレータ1の一方の入力端子(入力端子N1)に接続される。基準電圧の入力端子5は信号線L2を介してコンパレータ1の他方の入力端子(入力端子N2)に接続される。コンパレータ1は基準電圧と容量素子3の他端の出力とを入力して比較する。抵抗素子2は、コンパレータ1の入力端子N1に接続される信号線L1とコンパレータ1の入力端子N2に接続される信号線L2とを接続する。

[0035] なお、この図1において、入力端子N1(N2)およびこれに接続される信号線L1(L2)の両者を入力ノードと見なしてもよく、また、入力端子N1(N2)のみを入力ノードと見なしてもよい。従って、抵抗素子2を信号線L1、L2のいずれか一方のみを介してコンパレータ1の入力端子N1、N2間に接続してもよく、あるいは入力端子N1、N2間に直接接続してもよい。

[0036] 以上のように構成された半導体装置の動作について、図2を参照して説明する。図2は図1に示す半導体装置の動作を説明するためのタイミングチャート図である。この図2において、VDDは電源電圧、VREFは基準電圧、Y1はコンパレータ1の出力である検知信号を示す。

[0037] まず、時間 $t_0$ に、電源電圧4(電源電圧VDD)が印加され、基準電圧の入力端子5に基準電圧VREFが印加される。このとき、コンパレータ1の入力端子N1、N2に入力される電圧は抵抗素子2により等しくなる。

[0038] 次に、時間 $t_1$ から $t_2$ の間に電源電圧VDDに正側の電圧変動が発生したとする。このとき、電圧の変動分が容量素子3で容量結合され、これにより、コンパレータ1の入力端子N1に入力される電圧も変動して基準電圧VREFより高い電圧となる。この電圧差がコンパレータ1により増幅されて検知信号Y1がロウレベルからハイレベルに移し、ハイレベルの検知信号Y1が出力される。このハイレベルの検知信号Y1は、リセット部(図示せず)に入力され、このリセット部が半導体装置を含むシステム全体(例えばLSI)の動作を停止させる。従って、この半導体装置に対し、外部からデータの改ざんや不正読み出し等の攻撃が、電源電圧を急激に変動させることにより行われたとしても、これを検知して自動的にリセットがかかることによりこの種の攻撃等に対抗することが可能となり、しかもその検出を、電源電圧変動前の電源電圧値に依存する

ことなく行うことが可能となる。



- [0039] 以上のように、実施の形態1に係る半導体装置によれば、以下に示す効果が得られる。すなわち、従来の半導体装置では、単に、電源電圧を抵抗素子により分圧し、分圧した電圧と基準電圧とを比較しているので、電圧変動の検知レベルが変動前の電源電圧値に依存するが、本発明の実施の形態1に係る半導体装置では、一端が電源電圧に接続される容量素子3の他端の出力の値と基準電圧値とを抵抗素子2により同じ値にした状態からの電圧変動を検知するので、電圧変動の検知レベルが電圧変動前の電源電圧値に依存しない。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくなり、回路設計が容易になる。
- [0040] なお、実施の形態1では、正側の電圧変動を検知する動作について説明したが、コンパレータ1の入力端子N1と入力端子N2の極性を逆に、すなわち、入力端子N1を逆相入力端子(以下、一端子と記す)に、入力端子N2を正相入力端子(以下、+端子と記す)にすることで、負側の電圧変動を検知することができる。
- [0041] (実施の形態2)
- 次に、本発明の実施の形態2に係る半導体装置について図3及び図4を用いて説明する。図3は、本発明の実施の形態2に係る半導体装置の回路構成図である。図3に示す半導体装置は、図1に示す半導体装置におけるコンパレータ1に代えて、ヒステリシスコンパレータ6を備えることを特徴とする。なお、図1に示す半導体装置と同様の構成要素については、同一符号を付し説明を省略する。
- [0042] ヒステリシスコンパレータ6は2つの入力端子(入力端子N3及びN4)から入力する基準電圧と容量素子3の出力との差が設定されたヒステリシス幅(電圧変動の大きさ)より大きくなった場合に、検知信号Y1をハイレベルにする。
- [0043] 以上のように構成された半導体装置の動作について、図4を参照して説明する。図4は図3に示す半導体装置の動作を説明するためのタイミングチャート図である。
- [0044] 図4において、まず、時間t0に、電源電圧4(電源電圧VDD)が印加され、基準電圧の入力端子5に基準電圧VREFが印加される。このとき、コンパレータ1の入力端子N3及びN4に入力される電圧は抵抗素子2により等しくなる。
- [0045] 次に、時間t1からt2の間に、電源電圧VDDに正側の電圧変動が発生したとする。この場合、電圧の変動分が容量素子3で容量結合され、これにより、ヒステリシスコン

パレータ6に入力端子N3から入力される電圧も変動して基準電圧VREFより高い電

圧となる。しかしながら、ここでは、電圧差がヒステリシスコンパレータ6に設定されたヒステリシス幅より小さいため、ヒステリシスコンパレータ6は電圧差を増幅せず、その結果、検知信号Y1はロウレベルのままである。

[0046] 次に、時間t3からt4の間に、電源電圧VDDにヒステリシスコンパレータ6に設定されたヒステリシス幅より大きな正側の電圧変動が発生したとする。この場合、電圧の変動分が容量素子3で容量結合され、これにより、ヒステリシスコンパレータ6の入力端子N3の電圧も変動して基準電圧VREFより高い電圧となる。そして、この電圧差がヒステリシスコンパレータ6により増幅され検知信号Y1がロウレベルからハイレベルに遷移する。このハイレベルの検知信号Y1は、リセット部(図示せず)に入力され、このリセット部が半導体装置を含むシステム全体の動作を停止させる。

[0047] 以上のように、実施の形態2に係る半導体装置によれば、基準電圧値と容量素子3の出力の値を抵抗素子2により同じ値にした状態からの電圧変動をヒステリシスコンパレータ6にて検知するようにした。これにより、電圧変動前の電源電圧値に依存することなく、電圧変動を検知することができる。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくなり、回路設計が容易になる。さらに、ヒステリシスコンパレータ6に設定されたヒステリシス幅より小さい電圧変動が生じて検知信号Y1をハイレベルにしないことから、半導体装置の動作に影響のない電源電圧の変動を異常電圧変動と誤検知することがない。

[0048] なお、実施の形態2では、正側の電圧変動を検知する動作について説明したが、ヒステリシスコンパレータ6の入力端子N3と入力端子N4の極性を逆に、すなわち、入力端子N3を－端子に、入力端子N4を＋端子にすることで、負側の電圧変動を検知することができる。

[0049] (実施の形態3)

次に、本発明の実施の形態3に係る半導体装置について図5及び図6を用いて説明する。図5は、本発明の実施の形態3に係る半導体装置の回路構成図であり、図3に示す半導体装置と同様の構成要素については、同一符号を付す。

[0050] 上記実施の形態1及び2に係る半導体装置は、正側または負側の一方の電圧変動しか検知できない。従って、実施の形態3に係る半導体装置は正側及び負側の電圧

変動を検知できる構成とする。

[0051] 図5に示す半導体装置は、ヒステリシスコンパレータ6及び7と、抵抗素子2及び8と、容量素子3及び9と、論理和回路10とを備える。ヒステリシスコンパレータ6は2つの入力端子(入力端子N3及びN4)を有する。容量素子3は、一端が電源電圧4に接続され、他端がヒステリシスコンパレータ6の一方の入力端子(入力端子N3)に接続される。ヒステリシスコンパレータ6は基準電圧と容量素子3の他端の出力とを入力して比較する。ヒステリシスコンパレータ7は2つの入力端子(入力端子N5及びN6)を有する。容量素子9は、一端が電源電圧4に接続され、他端がヒステリシスコンパレータ7の一方の入力端子(入力端子N5)に接続される。ヒステリシスコンパレータ7は基準電圧と容量素子9の他端の出力とを入力して比較する。ただし、基準電圧と容量素子9の他端の出力を入力する端子の極性をヒステリシスコンパレータ6とは逆にする。抵抗素子2は、ヒステリシスコンパレータ6の入力端子N3に接続される信号線L3とヒステリシスコンパレータ6の入力端子N4に接続される信号線L4とを接続する。抵抗素子8は、ヒステリシスコンパレータ7の入力端子N5に接続される信号線L5とヒステリシスコンパレータ7の入力端子N6に接続される信号線L6とを接続する。論理和回路10は、ヒステリシスコンパレータ6及び7が出力する検知信号Y1,Y2を論理和演算し、検知信号Y3を出力する。

[0052] 以上のように構成された半導体装置の動作について、図6を参照して説明する。図6は図5に示す半導体装置の動作を説明するためのタイミングチャート図である。

図6において、まず、時間 $t_0$ では、電源電圧4(電源電圧VDD)が印加され、基準電圧の入力端子5に基準信号VREFが印加される。

[0053] 次に、時間 $t_1$ から $t_2$ の間に電源電圧VDDにヒステリシスコンパレータ6に設定されたヒステリシス幅より大きな電圧変動が発生したとする。この場合、電圧の変動分が容量素子3で容量結合され、これにより、ヒステリシスコンパレータ6の入力端子N3の電圧も変動して基準電圧VREFより高い電圧となる。この電圧差がヒステリシスコンパレータ6により増幅され検知信号Y1がロウレベルからハイレベルに遷移する。そして、論理和回路10がハイレベルの検知信号Y3を出力する。このハイレベルの検知信号Y3はリセット部(図示せず)に入力され、前記リセット部が半導体装置を含むシステム

全体の動作を時間 $t_3$ で停止させる。すなわち、時間 $t_3$ で電圧が0Vになる。

[0054] 次に、時間 $t_4$ で再び電源を立ち上げる。時間 $t_4$ では、電源電圧4(電源電圧VD

D)が印加され、基準電圧の入力端子に基準信号VREFが印加される。

[0055] 次に、時間t5からt6の間に電源電圧VDDにヒステリシスコンパレータ7に設定されたヒステリシス幅より大きな負側の電圧変動が起きた場合、電圧の変動分が容量素子9で容量結合され、これにより、ヒステリシスコンパレータ7の入力端子N5の電圧が基準電圧VREFより低い電圧となる。この電圧差がヒステリシスコンパレータ7により増幅され検知信号Y2がロウレベルからハイレベルに遷移する。そして、論理和回路10がハイレベルの検知信号Y3を出力する。このハイレベルの検知信号Y3は、リセット部(図示せず)に入力され、このリセット部が半導体装置を含むシステム全体の動作を停止させる。

[0056] 以上のように、本発明の実施の形態3に係る半導体装置は、基準電圧値と容量素子3及び9の出力の値を抵抗素子2、8により同じ値にした状態からの正側及び負側の両方の電圧変動をヒステリシスコンパレータ6、7にて検知するようにした。これにより、電圧変動前の電源電圧値に依存することなく、正側及び負側の電圧変動を検知することができる。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくなり、回路の設計が容易になる。さらに、ヒステリシスコンパレータ6、7に設定されたヒステリシス幅より小さい正側及び負側の電圧変動が生じて検知信号Y3をハイレベルにしないことから、半導体装置の動作に影響のない電源電圧の変動を異常電圧変動と誤検知することがない。

[0057] なお、実施の形態3では、ヒステリシスコンパレータを備える場合について説明したが、ヒステリシスコンパレータに代えて、図1に示すような通常のコンパレータを用いることでも良い。

[0058] (実施の形態4)

次に、本発明の実施の形態4に係る半導体装置について図7及び図8を用いて説明する。図7は、本発明の実施の形態4に係る半導体装置の回路構成図である。図7に示す半導体装置は、図1に示す半導体装置に、抵抗素子12及び13と2つの入力端子を有するコンパレータ11とからなる電圧変動検知回路と、論理和回路14とをさらに備えるものである。

[0059] 抵抗素子12及び13は電源電圧を分圧する。コンパレータ11は一方の入力端子N

7から分圧された電圧を入力し、他方の入力端子N8から基準電圧を入力する。

[0060] 以上のように構成された半導体装置の動作について、図8を参照して説明する。図8は図7に示す半導体装置の動作を説明するためのタイミングチャート図である。

[0061] 図8において、時間t0では、電源電圧4(電源電圧VDD)が印加され、基準電圧の入力端子5に基準電圧VREFが印加される。

[0062] 次に、時間t1からt2の間に電源電圧VDDに正側の電圧変動が起きたとすると、その電圧の変動分が容量素子3で容量結合され、これにより、コンパレータ1の入力端子N1に入力される電圧も変動して基準電圧VREFより高い電圧となる。この電圧差がコンパレータ1により増幅され検知信号Y1がロウレベルからハイレベルに遷移する。これにより論理和回路14からハイレベルの検知信号Y5が出力される。ハイレベルの検知信号Y5はリセット部(図示せず)に入力され、前記リセット部が半導体装置を含むシステム全体の動作を時間t3で停止させる。すなわち、時間t3で電圧が0Vになる。一方、コンパレータ11の入力端子N7に入力される電圧は、抵抗素子12及び13により分圧されているため、時間t1からt2の急激な電圧変動をコンパレータ11で検知することはできない。

[0063] 次に、t4で再び電源を立ち上げる。電源電圧4(電源電圧VDD)が印加され、基準電圧の入力端子5に基準電圧VREFが印加される。

[0064] 次に、時間t4からt5の間に、電源電圧VDDが徐々に上昇したとすると、抵抗素子12及び13により分圧された電圧も上昇し、基準電圧VREFより高い電圧となる。この電圧差がコンパレータ11により増幅され検知信号Y4がロウレベルからハイレベルに遷移する。これにより、論理和回路14からハイレベルの検知信号Y5が出力され、前記リセット部に入力される。なお、コンパレータ1に入力される容量素子3の出力と基準電圧とは、抵抗素子2で同じ電圧値にされるため、コンパレータ1は、時間t4からt5で生じるような緩やかな電圧変動を検知することはできない。

[0065] 以上のように、実施の形態4に係る半導体装置によれば、基準電圧値と容量素子3の出力の値とを抵抗素子2により同じ値にした状態からの電圧変動を検知するので、電圧変動前の電源電圧値に依存することなく、急激な電圧変動を検知することができる。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なく

なり、回路



の設計が容易になる。さらに、電源電圧を分圧する抵抗素子12及び13と、前記分圧電圧と基準電圧とを比較するコンパレータ11とを備えたことで、緩やかな電圧変動も検知することができる。

[0066] なお、実施の形態4では、コンパレータ11と、抵抗素子12及び13とからなる電圧変動検知回路を、実施の形態1に係る半導体装置に追加する場合について説明したが、本発明はこれに限るものではなく、前記電圧変動検知回路を、実施の形態2または3に係る半導体装置に備えるようにしても良い。

[0067] また、負側の電圧変動を検知する場合には、コンパレータ1及び11の入力端子N1、N2及び入力端子N7、N8の極性をそれぞれ逆にすれば良い。

[0068] (実施の形態5)

次に、実施の形態5に係る半導体装置について図9及び図10を用いて説明する。図9は本発明の実施の形態5に係る半導体装置の回路構成図である。図9に示す半導体装置は、図1に示す実施の形態1に係る半導体装置に、切換え部15と制御部19とを追加したことを特徴とする。

[0069] 切換え部15は、インバータ16と、Pチャンネルトランジスタ17と、Nチャンネルトランジスタ18とを備える。インバータ16の出力はPチャンネルトランジスタ17のゲートに接続されている。Pチャンネルトランジスタ17及びNチャンネルトランジスタ18のソースは入力IN1に接続されており、ドレインはコンパレータ1の入力端子N1に接続されている。以上のように構成される切換え部15は、コンパレータ1の入力端子N1に入力される電圧値を任意の値、すなわち入力端子IN1に入力される任意の電圧レベルに切換える。

[0070] 制御部19はテスト(TEST)信号をハイにして、切換え部15を動作させるとともに、コンパレータ1の検知信号Y1を入力して該信号が活性化しているかを検知する。

[0071] 例えば、制御部19は、半導体装置の電源が投入されるたびにTEST信号をハイにし、切換え部15が入力端子N1に入力される電圧値を基準電圧値より高くする。このとき、コンパレータ1が電圧差を検知して、ハイレベルの検知信号Y1を出力したかを制御部19で検知する。

[0072] このような構成とすることで、コンパレータ1が正常に動作しているかを確認できる。

以上のように構成される半導体装置の動作について図10を用いて説明する。図10は図9に示す半導体装置の動作を説明するためのタイミングチャート図である。

- [0073] まず、時間 $t_0$ では、電源電圧4(電源電圧VDD)が印加され、基準電圧の入力端子5に基準電圧VREFが印加される。このとき、コンパレータ1の入力端子N1及びN2に入力される電圧は抵抗素子2により等しくなる。
- [0074] 次に、時間 $t_1$ にて、制御部19が切換え部15に入力されるテスト信号をロウレベルからハイレベルに立ち上げると、Pチャネルトランジスタ17及びNチャネルトランジスタ18がONし、入力端子IN1に入力される任意の電圧(以下、任意の電圧IN1と記す)、すなわち、基準電圧VREFより高い電圧がコンパレータ1の入力端子N1に入力される。このとき、コンパレータ1が正常に動作しているのであれば、基準電圧VREFと任意の電圧IN1との電圧差がコンパレータ1により増幅され検知信号Y1がロウレベルからハイレベルに遷移する。入力端子N1の電圧が基準電圧VREFより高い電圧となることに伴い、検知信号Y1がハイレベルになったかは、制御部19が検知信号Y1を入力して確認する。
- [0075] 以上のように、本実施の形態5に係る半導体装置は、コンパレータにおける容量素子3の出力を入力する端子(入力端子N1)に、任意の電圧を入力する切換え部15を備えたことにより、コンパレータが正常に動作しているか否かを検査することができる。
- [0076] なお、実施の形態5では、切換え部15により入力端子N1に入力される電圧を基準電圧より高い電圧に切換える場合について説明したが、本発明はこれに限るものではなく、入力端子N1を一端子、入力端子N2を+端子にして、入力端子N1に入力される電圧を基準電圧より低い電圧に切換えるようにしても良い。
- [0077] また、実施の形態5では、半導体装置内の制御部19が、TEST信号をハイにして、切換え部15を動作させるとともに、コンパレータ1の検知信号Y1を入力して該信号が活性化しているかを検知する場合について説明したが、本発明はこれに限るものではなく、外部装置が切換え部15を制御し、コンパレータ1の検知信号Y1を入力して該信号が活性化しているかを検知するようにしても良い。
- [0078] また、実施の形態5では、実施の形態1に係る半導体装置に対し切換え部15、制

御部19を追加する場合について説明したが、本発明はこれに限るものではなく、実

施の形態2～4で説明した半導体装置に、切換え部15、制御部19を追加するようにしても良い。その場合には、各コンパレータの一方の端子に入力する容量素子の出力の値を切換え部15により任意の電圧値に切り換える。

- [0079] さらに、上記実施の形態2～4では、抵抗素子はコンパレータの2つの入力端子に接続された2つの信号線を接続するものとしたが、これは2つの信号線のいずれか一方のみを介してコンパレータの2つの入力端子を接続してもよく、あるいは2つの入力端子を直接接続するようにしても良い。

#### 産業上の利用可能性

- [0080] 本発明に係る半導体装置は、電源電圧と接地電圧との電位差の急激な変動を検出できるため、半導体装置に対する外部からのデータ改ざんや不正読み出し等の攻撃に対抗できるLSIに用いて好適である。

### 請求の範囲

- [1] (補正後)一端が電源電圧に接続される容量素子と、  
それぞれの極性が異なる2つの入力ノードを有し、基準電圧と前記容量素子の他端の出力とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第1のコンパレータと、  
前記第1のコンパレータの、一方の入力ノードと他方の入力ノードとを接続する第1の抵抗素子とを備え、  
前記第1のコンパレータは、入力した前記基準電圧と前記容量素子の他端の出力との間に電圧差が生じたときに、前記比較結果を示す出力信号を活性化すること、  
ことを特徴とする半導体装置。
- [2] (補正後)請求項1に記載の半導体装置において、  
前記第1のコンパレータは、入力した前記基準電圧と前記容量素子の他端の出力との電圧差が予め設定されたヒステリシス幅より大きくなったときに、前記比較結果を示す出力信号を活性化するヒステリシスコンパレータである、  
ことを特徴とする半導体装置。
- [3] (補正後)請求項1に記載の半導体装置において、  
前記電源電圧と接地との間に直列に配置され前記電源電圧を分圧する第2及び第3の抵抗素子と、  
2つの入力ノードを有し、前記第2及び第3の抵抗素子が分圧した電圧と、基準電圧とを入力して比較する第2のコンパレータと、  
前記第1のコンパレータの出力信号と前記第2のコンパレータの出力信号とを論理和演算する論理和回路とをさらに備えた、  
ことを特徴とする半導体装置。
- [4] 請求項1から請求項3のいずれかに記載の半導体装置において、  
前記第1のコンパレータまたは前記論理和回路の出力信号を入力し、前記第1のコンパレータまたは前記第2のコンパレータの出力信号が活性化されたときに前記半導体装置を含むシステムの動作を止めるリセット部をさらに備えた、

ことを特徴とする半導体装置。

- [5] (補正後) 請求項1から請求項3のいずれかに記載の半導体装置において、  
前記第1のコンパレータのいずれか一方の入力ノードに入力される前記容量素子の他端の出力の値を任意の値に切替える切換え部をさらに備えた、  
ことを特徴とする半導体装置。
- [6] 請求項5に記載の半導体装置において、  
前記半導体装置の電源投入時に、前記切換え部を動作させる制御部をさらに備えた、  
ことを特徴とする半導体装置。
- [7] (補正後) 一端が電源電圧に接続される第1及び第2の容量素子と、  
それぞれの極性が異なる2つの入力ノードを有し、基準電圧と前記第1の容量素子の他端の出力とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第1のコンパレータと、  
それぞれの極性が異なる2つの入力ノードを有し、基準電圧と前記第2の容量素子の他端の出力とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第2のコンパレータと、  
前記第1及び第2のコンパレータの、一方の入力ノードと他方の入力ノードとをそれぞれ接続する第1及び第2の抵抗素子と、  
前記第1のコンパレータの出力信号と前記第2のコンパレータの出力信号とを論理和演算する論理和回路とを備え、  
前記第1及び第2のコンパレータはそれぞれ、入力した前記基準電圧と前記容量素子の他端の出力との間に電圧差が生じたときに、前記比較結果を示す出力信号を活性化し、前記第1のコンパレータにおける前記第1の容量素子の他端の出力を入力する入力ノードの極性は、前記第2のコンパレータにおける前記第2の容量素子の他端の出力を入力する入力ノードの極性と逆である、  
ことを特徴とする半導体装置。
- [8] (補正後) 請求項7に記載の半導体装置において、  
前記第1及び第2のコンパレータはそれぞれ、入力した前記基準電圧と前記容量

素子の他端の出力との電圧差が予め設定されたヒステリシス幅より大きくなったときに、前記比較結果を示す出力信号を活性化するヒステリシスコンパレータである、

ことを特徴とする半導体装置。

- [9] (補正後)請求項7に記載の半導体装置において、  
前記電源電圧と接地との間に直列に配置され前記電源電圧を分圧する第3及び第4の抵抗素子と、

2つの入力ノードを有し、前記第3及び第4の抵抗素子が分圧した電圧と、基準電圧とを入力して比較し比較結果を示す信号を前記論理和回路に出力する第3のコンパレータとをさらに備えた、

ことを特徴とする半導体装置。

- [10] 請求項7から請求項9のいずれかに記載の半導体装置において、  
前記論理和回路の出力信号を入力し、前記第1のコンパレータ、前記第2のコンパレータまたは前記第3のコンパレータの出力信号が活性化されたときに前記半導体装置を含むシステムの動作を止めるをリセット部をさらに備えた、

ことを特徴とする半導体装置。

- [11] (補正後)請求項7から請求項9のいずれかに記載の半導体装置において、  
前記第1のコンパレータのいずれか一方の入力ノードに入力される前記第1の容量素子の他端の出力の値と、前記第2のコンパレータのいずれか一方の入力ノードに入力される前記第2の容量素子の他端の出力の値とを、任意の値に切替える切替部を備えた、

ことを特徴とする半導体装置。

- [12] 請求項11に記載の半導体装置において、  
前記半導体装置の電源投入時に、前記切替部を動作させる制御部を備えた、  
ことを特徴とする半導体装置。